

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-226407

(43)Date of publication of application : 10.09.1990

(51)Int.Cl.

G05F 1/56

(21)Application number : 01-046871

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 28.02.1989

(72)Inventor : KURAI SON TORONNAMUCHIYAI

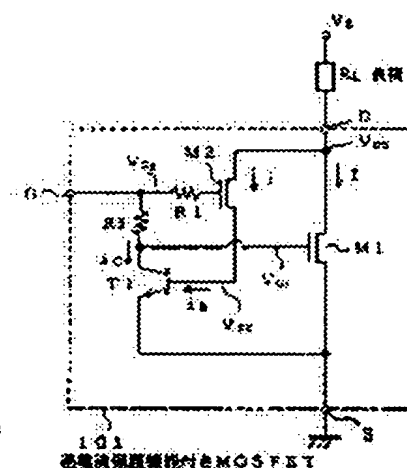
## (54) POWER MOSFET WITH OVERCURRENT PROTECTING FUNCTION

## (57)Abstract:

**PURPOSE:** To securely protect power MOSFET from an overcurrent by permitting a current flowing through a current mirror MOSFET to directly flow to the control terminal of a switching means to limit gate voltage, controlling the switching means for gate voltage control by means of the current and controlling the gate voltage of main MOSFET.

**CONSTITUTION:** When abnormality occurs, a current (i) flowing in the base of the switching means for gate voltage limitation T1 increases through a current mirror MOS transistor M2 and the switching means for gate voltage limitation T1 is turned on by the current (i). Consequently, the current flows in the switching means for gate voltage limitation T1 through an input resistance Ri. Since the gate voltage of the current mirror MOS transistor M2 is held higher than the threshold at that time by the voltage drop of the input resistance Ri, the gate voltage VG1 of a main MOS transistor M1 drops, and the main MOS transistor M1 can be turned off.

Thus, power MOSFET can securely be protected from the overcurrent irrespective of the ambient temperature.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-120221

(24) (44) 公告日 平成7年(1995)12月20日

(51) Int.Cl. <sup>1</sup>	級別記号	庁内整理番号	P I	技術表示箇所
G 0 5 F 1/10	3 0 4 M			
H 0 2 H 9/02	E			
H 0 2 M 1/00	H			
H 0 3 F 1/52	B 8943-5 J			

請求項の数 1 (全 10 頁)

(21) 出願番号	特願平1-46871	(71) 出願人	989999999 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地
(22) 出願日	平成1年(1989)2月28日	(72) 発明者	クライソン トロンナムチャイ 神奈川県横浜市神奈川区宝町2番地 日産 自動車株式会社内
(65) 公開番号	特開平2-226407	(74) 代理人	弁理士 永井 冬紀
(43) 公開日	平成2年(1990)9月10日		審査官 伊坪 公一
		(56) 参考文献	特開 昭63-229757 (J P, A) 特開 昭61-52010 (J P, A) 特開 昭60-20234 (J P, A) 特開 昭63-16971 (J P, A)

(54) 【発明の名称】 過電流保護機能付きパワー-MOSFET

1

【特許請求の範囲】

【請求項1】 ゲート入力端子に入力されるゲート入力信号に応じてオン・オフして負荷をスイッチングするメインMOSFETと、

前記メインMOSFETを流れる電流に比例する電流が流れるようにそのメインMOSFETと接続されると共に、前記ゲート入力端子に入力されるゲート入力信号に応じてオン・オフするカレントミラーMOSFETと、

前記ゲート入力端子と前記カレントミラーMOSFETのゲートとの間に介装されたゲート抵抗と、

前記入力端子と前記ゲート抵抗の接続点と前記メインMOSFETのゲートとの間に接続された入力抵抗と、

前記カレントミラーMOSFETを通して直接流れる電流の大きさに応じてオン制御され前記入力抵抗を流れる電流を制御することにより前記メインMOSFETのゲート電圧を制

10

2

限するゲート電圧制限用スイッチング手段とを備えてなる過電流保護機能付きパワーMOSFET。

【発明の詳細な説明】

A. 産業上の利用分野

本発明は、過電流保護機能を備えたパワーMOSFET (MOS形電界効果トランジスタ) に関する。

B. 従来の技術

過電流保護機能付きパワーMOSFETとしては、例えば、第7図に示すように本出願人によって提案された特願昭62-223018号に示すものがある。

第7図において、10%は過電流保護機能付きパワーMOSFET、 $R_L$ は負荷である、過電流保護機能付きパワーMOSFETは、負荷 $R_L$ をスイッチングするメインMOSFET M1 (以下、MOSトランジスタM1) と、このメインMOSトランジスタM1に並列に接続されるカレントミラーMOSFET M2 (以

(2)

特公平7-120221

3

下、MOSトランジスタM2)とを備え、カレントミラーMOSトランジスタM2は単一もしくは複数のパワーMOSFETセルを並列に接続し、メインMOSトランジスタM1は同一のパワーMOSFETセルを数千個並列に接続したものからそれぞれ構成される。

また、第7図において、 $R_e$ は電流検出用抵抗、 $R_i$ は入力抵抗、 $T_1$ はメインMOSトランジスタM1のゲート電圧 $V_{gs}$ を制限するバイポーラ・トランジスタである。電流検出抵抗 $R_e$ はカレントミラーMOSトランジスタM2のソースに直列に接続され、入力抵抗 $R_i$ は、MOSトランジスタM1、M2の共通のゲート入力端子GとメインMOSトランジスタM1のゲート間に直列に接続されている。バイポーラ・トランジスタ $T_1$ のコレクタは入力抵抗 $R_i$ を介して、ゲート入力端子Gに接続されているカレントミラーMOSトランジスタM2のゲートに接続され、そのエミッタはメインMOSトランジスタM1のソースに接続されると共に、ベースはカレントミラーMOSトランジスタM2のソースに接続されている。

次に、このように構成された従来の過電流保護機能付きパワーMOSFETの動作について説明する。

メインMOSトランジスタM1に負荷 $R_L$ を通して電源電圧 $V_s$ が印加されている状態において、例えば負荷 $R_L$ が短絡さ

$$V_{G1} = V_{G2} - h_{FE} R_i \left( i - \frac{V_{DEON}}{R_s} \right) \dots (4)$$

となる。但し、 $h_{FE}$ はバイポーラ・トランジスタ $T_1$ のエミッタ接地電流増幅率である。また、(4)式が成立するための条件を次の(5)式に書き表わすことができる。

$$R_e \cdot i > V_{th1} \dots (5)$$

上記(4)式及び(5)式から次のことがわかる。電流 $i$ が増加して $R_e \cdot i$ が $V_{th1}$ を超えるとバイポーラ・トランジスタ $T_1$ がターンオンする。電流 $i$ がさらに増加すると、 $i_c$ 、 $I_b$ が大きくなり、その結果、ゲート電圧 $V_{G1}$ がメインMOSトランジスタM1の閾値電圧 $V_{th1}$ より小さくなるとメインMOSトランジスタM1がターンオフする。このため電流 $i$ が減少してパワーMOSFETを過電流から保護することができる。

ところで、電流検出抵抗 $R_e$ には、パワーMOSFETと同一のシリコン基板上の所定領域に不純物を拡散して形成する拡散抵抗と、シリコン基板上の絶縁膜上に堆積したポリシリコン膜に形成するポリシリコン抵抗とがある。

第8図は、ポリシリコン抵抗の温度特性図を示すもので、「Journal of Applied Physics, Vol.46, No.12, Dec. 1975, "The electrical properties of polycrystalline silicon films", P.5249」に開示されている。なお縦軸には、150°Cでの比抵抗に対する各温度の比抵抗の比を対数表示した単位を用いている。

この第8図は、温度が高くなるとポリシリコン抵抗の抵抗値が減少すること、即ち、温度依存性があることを表

4

\*れるなどの異常が発生すると、メインMOSトランジスタM1のドレイン・ソース間にかかる電圧 $V_{ds}$ が増加し、これに流れる電流 $i$ も増大する。この時、過電流保護機能を有しないパワーMOSFETにあっては過電流によって温度が上昇し破壊されてしまう。

そこで、第7図に示す構成のパワーMOSFETは、次のようにして過電流から保護している。

過電流が流れると、カレントミラーMOSトランジスタM2を通して電流検出抵抗 $R_e$ に流れる電流 $i$ も増大する。このため、バイポーラ・トランジスタ $T_1$ のベース・エミッタ間電圧 $V_{be1} = i \cdot R_e$ が大きくなり、ついにはベース・エミッタ間電圧の閾値 $V_{be1,th}$  (=0.6V) になる。すると、バイポーラ・トランジスタ $T_1$ にベース電流 $i_b$ が流れ、トランジスタ $T_1$ が導通してコレクタ電流 $i_c$ が流れる。そして、ベース電流 $i_b$ が増大するに伴いコレクタ電流 $i_c$ も増大し、メインMOSトランジスタM1のゲート電圧 $V_{G1}$ が減少する。これを式で示すと以下のようになる。

$$R_e (i - i_b) = V_{be1,th} = 0.6V \dots (1)$$

$$i_b = h_{FE} \cdot i_c \dots (2)$$

$$V_{G1} = V_{G2} - R_i \cdot i_c \dots (3)$$

上記(1)、(2)、(3)式から $i_c$ 及び $i_b$ を除去すると、

$$V_{G1} = V_{G2} - h_{FE} R_i \left( i - \frac{V_{DEON}}{R_s} \right) \dots (4)$$

わしている。これは、温度上昇に伴いポリシリコン膜の結晶粒界のポテンシャル・バリアを超える熱放出電子の数が増加するからである。

このようなポリシリコン抵抗を電流検出抵抗として用いる場合、その抵抗値は温度を上昇につれ減少するから、上記(5)式の $R_e$ が小さくなる。これに伴い(5)式の条件を満足させるようになると、電流 $i$ を増大しなければならないが、この電流 $i$ でバイポーラ・トランジスタ $T_1$ のターンオンを条件を確保しようとしても、それ以前にメインMOSトランジスタM1に過電流が流れてしまうおそれがある。また、バイポーラ・トランジスタ $T_1$ がターンオンしにくくなりパワーMOSFETの過電流保護機能はほとんど発揮できない。

また第9図は、拡散抵抗の温度特性を示すもので、「電気通信学会大学講座、コロナ社、昭和39年2月10日初版発行、「半導体電子工学」、P.31」に開示されている。この第9図は次のことを示している。

温度が低くなると不純物からキャリアが供給されにくくなるために導電率が減少する。また、温度が上昇するとほとんどの不純物がイオン化しキャリアが増加しないために導電率が飽和す領域がある。そして、温度がさらに上昇すると、真性半導体からのキャリアが発生し導電率が伸び増加する。但し、飽和領域ではキャリアの移動度の温度依存性によって、温度が上昇するに伴い導電率が多少減少する傾向を示す。

(3)

特公平7-120221

5

即ち、拡散抵抗の抵抗値はほとんどの温度範囲で温度の上昇につれて減少する。但し、ある温度範囲内のみで抵抗値がほとんど一定または温度上昇によって多少増大する。この温度範囲は不純物密度や結晶欠陥密度などによって決定されるものである。

このような拡散抵抗を電流検出抵抗として用いる場合、その不純物密度や欠陥密度を制御して、MOSFETの動作が保証される温度範囲内で拡散抵抗の抵抗値が温度とともに大きくなるようにすれば、MOSFETの過電流保護機能が有効に発現し得る。しかし、拡散抵抗は、温度が下がる

と抵抗値が減少するため、これを考慮して過電流保護機能が失われないように設計する必要がある。

C. 発明が解決しようとする課題

上述のような従来の過電流保護機能付きパワーMOSFETでは、カレントミラーMOSトランジスタM2を通して流れる電流 $i$ をポリシリコン抵抗又は拡散抵抗からなる電流検出抵抗 $R_d$ により電圧に変換し、その電圧が所定の閾値電圧を超えた時にバイポーラ・トランジスタT1をオンしてメインMOSトランジスタM1のゲート電圧を下げ、メインMOSトランジスタM1をターンオフさせるようになっているため、雰囲気温度の上昇によって電流検出抵抗の抵抗値が減少すると、バイポーラ・トランジスタT1をターンオンさせるための(5)式の条件が成立せず過電流保護機能が失われてしまう。

また、電流検出抵抗の抵抗値が温度上昇によって減少しないように設計した拡散抵抗を用いれば上述の問題は解消し得るが、その反面、拡散抵抗をシリコン基板上に形成する際、不純物密度や欠陥密度などを高精度に制御する必要があり、これに伴い回路設計の自由度が限定され、回路設計も困難となる問題がある。さらにまた、電流検出抵抗には常に電流が流れるため、電力消費が大きくなり、発熱する問題があった。

本発明の技術的課題は、温度変化に左右されず、回路設計が容易でかつ設計の自由度を大きくするとともに低消費電力で過電流保護を確実に実行できるようにすることにある。

D. 課題を解決するための手段

一実施例を示す第1図により本発明を説明すると、本発明に係る過電流保護機能付きパワーMOSFETは、ゲート入力端子Gに入力されるゲート入力信号に応じてオン・オフして負荷 $R_L$ をスイッチングするメインMOSトランジスタM1と、メインMOSトランジスタM1を流れる電流に比例する電流が流れるようにそのメインMOSトランジスタM1と接続されると共に、ゲート入力端子Gに入力されるゲート入力信号に応じてオン・オフするカレントミラーMOSトランジスタM2と、ゲート入力端子GとカレントミラーMOSトランジスタM2のゲートとの間に介装されたゲート抵抗 $R_1$ と、ゲート入力端子Gとゲート抵抗 $R_1$ の接続点とメインMOSトランジスタM1のゲートとの間に接続された入力抵抗 $R_i$ と、カレントミラーMOSトランジスタM2を

6

通して直接流れる電流の大きさに応じてオン制御され入力抵抗 $R_i$ を流れる電流を制御することによりメインMOSトランジスタM1のゲート電圧を制御するゲート電圧制限用スイッチング手段T1とを備えてなるものである。

E. 作用

異常発生時にカレントミラーMOSトランジスタM2を通してゲート電圧制限用スイッチング手段T1のベースに流れる電流 $i$ が増大し、この電流 $i$ に伴いゲート電圧制限用スイッチング手段T1がターンオンする。これにより入力抵抗 $R_i$ を介してゲート電圧制限用スイッチング手段T1に電流が流れる。このとき、入力抵抗 $R_i$ の電圧降下によりカレントミラーMOSトランジスタM2のゲート電圧はその閾値以上に保持されるが、メインMOSトランジスタM1のゲート電圧 $V_{G1}$ は低下し、メインMOSトランジスタM1をオフできる。

これによってパワーMOSFETを雰囲気温度に左右されることなく過電流から確実に保護できる。そして、電流検出抵抗が不要になることにより、回路設計を容易にし、かつ回路設計の自由度を拡大できる。

また、カレントミラーMOSトランジスタM2のゲートにはゲート抵抗 $R_1$ を介してゲート電圧 $V_{G2}$ が印加されるから、ゲート入力端子Gに入力されるゲート入力信号がゲート抵抗 $R_1$ で遅延されるため、メインMOSトランジスタM1が先にターンオンした後このカレントミラーMOSトランジスタM2がターンオンする。したがって、確実にメインMOSトランジスタM1をターンオンできる。

F. 実施例

以下、本発明の実施例を図面に基づいて説明する。

実施例1

第1図は、本発明による過電流保護機能付きパワーMOSFETの第1の実施例を示す回路図であり、第7図と同一の部分に同一符号を付して相異点を中心に説明する。

第1図において、一点鎖線で囲んだ部分の符号101は過電流保護機能付きパワーMOSFETであり、ドレイン端子D、ソース端子S及びゲート入力端子Gを備えている。ドレイン端子Dは負荷 $R_L$ を介して電源電圧 $V_{DD}$ に接続され、ソース端子Sは接地されている。

過電流保護機能付きパワーMOSトランジスタ101は、ドレイン・ソースをドレイン端子D及びソース端子S間に接続した負荷スイッチング用のメインMOSトランジスタM1と、カレントミラーMOSトランジスタM2及びバイポーラ・トランジスタT1を備える。また、カレントミラーMOSトランジスタM2のドレインはドレイン端子Dに接続され、そのゲートはゲート抵抗 $R_1$ を介してゲート入力端子Gに接続されている。さらに、メインMOSトランジスタM1のゲートは入力抵抗 $R_i$ を介してゲート入力端子Gとゲート抵抗 $R_1$ の接続点に接続されている。

メインMOSトランジスタM1のゲート電圧 $V_{G1}$ を制限するバイポーラ・トランジスタ(ゲート電圧制限用スイッチング手段)T1のコレクタはメインMOSトランジスタM1のゲ

(4)

特公平7-120221

8

7

ートに接続され、そのエミッタはソース端子Sに接続され、さらにベースはカレントミラーMOSトランジスタM2のソースに接続されている。

次に、このように構成された本実施例をパワーMOSFETの動作について説明する。

(パワーMOSFETの通常動作時)

ゲート入力端子Gに入力されたゲート電圧 $V_G$ が閾値電圧 $V_{th}$ よりも大きくメインMOSトランジスタM1が導通している状態では、そのオン抵抗が小さいため、そのドレイン・ソース間電圧 $V_{DS}$ が小さく、これに伴うバイポーラ・トランジスタT1のベース・エミッタ間電圧 $V_{BE}$  ( $< V_{th}$ ) は、その閾値電圧 $V_{th, on}$  ( $= 0.6V$ ) より小さくなっている。従って、バイポーラ・トランジスタT1はターンオンせず、電流 $i (= i_b)$  が流れない。この時、コレクタ電流 $i_c$  は $i_c = h_{fe} \cdot i_b$  であり、ゲート電圧 $V_G$  は、 $V_G = V_{GS} = V_{DS}$  となり、メインMOSトランジスタM1は導通状態を保つ。

一方、ゲート電圧 $V_G$  がメインMOSトランジスタM1及びカレントミラーMOSトランジスタM2の閾値電圧 $V_{th}$  より小さくなると、メインMOSトランジスタM1及びカレントミラーMOSトランジスタM2がターンオフし、電流 $i (= i_b)$  が流れない。この時もバイポーラ・トランジスタT1はターンオンせず、そのコレクタ電流 $i_c$  は、 $i_c = h_{fe} \cdot i_b = 0$  となる。

ここで、ゲート抵抗R1は次の理由により設けている。メインMOSトランジスタM1及びカレントミラーMOSトランジスタM2がともに遮断されている状態において、ゲート入力端子Gに入力信号を印加してパワーMOSFET101をスイッチオンさせる時、もしカレントミラーMOSトランジスタM2がメインMOSトランジスタM1より先にターンオンしたとしても、カレントミラーMOSトランジスタM2は負荷 $R_L$  を駆動するだけのパワーがない。このため、そのドレイン・ソース間電圧 $V_{DS}$  が上昇し、バイポーラ・トランジスタT1がターンオンしてしまい、メインMOSトランジスタM1をターンオンできないおそれがある。そこで、抵抗R1を介装してカレントミラーMOSトランジスタM2がメインMOSトランジスタM1より遅れてターンオンすることを保証する。

(負荷 $R_L$  が短絡するなどの異常発生時)

パワーMOSFET101のオン時に例えば負荷 $R_L$  が短絡して負荷電流 $I_L$  が増大すると、メインMOSトランジスタM1のドレイン・ソース間電圧 $V_{DS}$  も増大する。これに伴いバイポーラ・トランジスタT1のベース・エミッタ間電圧 $V_{BE}$  が増加し、ついには、ベース・エミッタ間の電圧閾値 $V_{th, on}$  より大きくなる。すると、バイポーラ・トランジスタT1にベース電流 $i_b$  が流れてオンしコレクタ電流 $i_c$  も流れ始める。このとき、カレントミラーMOSトランジスタM2にも電流 $i (= i_b)$  が流れる。

ここで、メインMOSトランジスタM1を流れる電流 $I$  と、カレントミラーMOSトランジスタM2を流れる電流 $i$  について

説明する。

メインMOSトランジスタM1及びカレントミラーMOSトランジスタM2がそれぞれ $n_1$ 、 $n_2$  個の同一のパワーMOSFETセルによって構成されているとすると、メインMOSトランジスタM1を流れる電流 $I$  と、カレントミラーMOSトランジスタM2を流れる電流 $i$  との比は $n_1 : n_2$  となる。即ち電流 $i$  は、

$$i = \frac{n_2 I_L}{n_1 + n_2}$$

となり、負荷電流 $I_L$  に比例する。これによりMOSトランジスタM2がカレントミラーとしての機能を果たすことになる。

また、この時のゲート電圧 $V_G$  は次式によって与えられる。

$$V_{GS} = V_{GS} - R_1 \cdot i_c = V_{GS} - R_1 \cdot h_{fe} \cdot I \quad \cdots \cdots (6)$$

この(6)式から明らかなように、負荷電流 $I_L$  の増大により、バイポーラ・トランジスタT1がターンオンしさらに負荷電流 $I_L$  が増加すると、カレントミラーMOSトランジスタM2を流れる電流 $i$  もそれに比例して増加する。このとき、入力抵抗R1の電圧降下によってカレントミラーMOSトランジスタM2のゲート電圧はその閾値以上に保持されオンし続ける。一方、メインMOSトランジスタM1は、バイポーラ・トランジスタT1のコレクタ電流 $I_c$  の増加に伴って低下し閾値以下になる。その結果、メインMOSトランジスタM1がオフし、パワーMOSFET101を負荷短絡などによる過電流から保護する。

第2図は、上述したパワーMOSFETのデバイス構造の一部。すなわち、カレントミラーMOSトランジスタM2、バイポーラ・トランジスタT1、ゲート抵抗R1及び入力抵抗R1の構造図である。

過電流保護機能付きパワーMOSFET101は、N形高濃度基板1aとN形低濃度基板1bからなるN型半導体基板1を備え、このN形半導体基板1の裏面にドレイン端子Dが設けられている。N形半導体基板1のN形低濃度基板1b上には二重拡散法によって縦型のMOSFET、即ちカレントミラーMOSトランジスタM2が形成されている。このカレントミラーMOSトランジスタM2は、N形低濃度基板1b中に形成したPウェル領域2a、2bと、このPウェル領域2a、2b内に形成したN領域3a、3bと、N領域3a、3b間に位置するようゲート酸化膜4を介して配置したゲート電極5と、このゲート電極5を覆う層間絶縁膜6と、Pウェル領域2a及びN領域3aにコンタクトするソース電極7とから構成される。図示を省略したがメインMOSトランジスタM1もこのような縦形MOSFETで基板1上に形成される。また、バイポーラ・トランジスタT1、ゲート抵抗R1及び入力抵抗R1は、N形半導体基板1上に形成された絶縁層SiO<sub>2</sub> 膜8上のポリシリコン膜9a、9b、9c内に形成されている。

(5)

特公平7-120221

9

第3図は、第1図に相当する過電流保護機能付きパワーMOSトランジスタ101を半導体基板上に形成した場合のデバイスの一例を示す平面図であり、第1図と同一符号は同一部分を表わしている。

この第3図に示すデバイスは、メインMOSトランジスタM1と、カレントミラーMOSトランジスタM2と、バイポーラトランジスタT1と、ゲート抵抗R1と、入力抵抗Riとを有する。ここで、メインMOSトランジスタM1は、N形半導体基板上に設けたPウエルM11と、PウエルM11中に設けたNソース領域M12と、ソース領域M12中に設けたP領域M13とから成る7つのセルSM1-1～SM1-7を備え、隣接する各セル間にゲートM14が設けられている。カレントミラーMOSトランジスタM2は、メインMOSトランジスタM1と同様に、PウエルM21、Nソース領域M22、P領域M23およびゲートM24から成る1つのセルで構成されている。これらの各要素は配線1で第1図に示す回路に接続される。

第4図および第5図は、第3図に示すバイポーラトランジスタT1の平面図、および第4図のV-V線断面図である。

第4図および第5図において、絶縁性基板501上に半導体薄膜としての多結晶シリコン層102が所定の厚さに堆積され、かつ所定の形状にパターニングされている。そしてこの多結晶シリコン層102の所定領域上にマスク材110が形成されている。このマスク材110直下の多結晶シリコン層102には、低濃度のN形コレクタ領域105aとP形ベース領域104aとが接して形成されている。マスク材110直下以外の多結晶シリコン層102には、N形コレクタ領域105aと接してN形コレクタ引出し領域105bが形成されるとともに、P形ベース領域104aと接してN形エミッタ領域103が形成されている。そしてこのN形エミッタ領域103とN形コレクタ引出し領域105aとに挟まれたP形ベース領域104aは、極めて狭い（数μm）ベース幅Wとされる。なおこのベース幅Wは、マスク材110をマスクとしてP形ベース領域104aを形成するP形不純物とN形コレクタ引出し領域105aを形成するN形不純物とを二重拡散して多結晶シリコン層102に導入し、2種類の不純物の横方向拡散長の差によって規定される。

さらに、マスク材110直下以外の多結晶シリコン層102には、P形ベース領域104aと接してP形ベース引出し領域104bが形成されている。そしてこのP形ベース引出し領域104bとN形エミッタ領域103とは、マスク材110直下以外の領域においては層間絶縁膜107によって分離される。マスク材110直下においては、P形ベース引出し領域104bとN形エミッタ領域103がP形ベース領域104aにそのベース幅方向でラップするようにそれぞれ接続される。すなわち、P形ベース引出し領域104bとN形エミッタ領域103とはベース領域104a内のみで接続される。

また、N形エミッタ領域103、P形ベース引出し領域104b、およびN形コレクタ引出し領域105bはそれぞれ、多

10

結晶シリコン層102上に堆積した層間絶縁膜107に開孔したコンタクトホールを介してエミッタ電極106e、ベース電極106b、およびコレクタ電極106cに接続されている。このように構成されるバイポーラトランジスタT1は、マスク材110直下以外では、ベース電極106bと接続されるP形ベース引出し領域104bとN形エミッタ領域103とが互いに分離され、マスク材110直下では、N形エミッタ領域103とP形ベース引出し領域104bとがP形ベース領域104aを介しベース幅Wよりも短い接触長で互いに接するため、エミッターベース間にはP接合による寄生ダイオードが形成されない。従って、すべてのベース電流 $i_b$ がトランジスタ動作に寄与するようになり、寄生ダイオードの形成による電流増幅率 $\beta_o$ の低下を防ぐことができる。また、エミッターベース間に寄生ダイオードが形成されないため、この寄生ダイオードの接合容量によるエミッターベース間の寄生容量がなく、その結果、トランジスタの動作速度を速くすることができ、遮断周波数 $f_t$ を高くすることもできる。

20

このような本実施例の過電流保護機能付きパワーMOSFETにあつては、カレントミラーMOSトランジスタM2を通して流れる電流 $i$ を電流検出抵抗を用いずに直接バイポーラトランジスタT1のベースに流し、その電流でメインMOSトランジスタM1のゲート電圧を制御するように構成したもので、温度変化に左右されることのない過電流保護機能を実現に発想できる。また、電流検出抵抗がないため、その温度特性を考慮した回路設計が不要になり、設計の自由度が大きくなりかつ回路設計も容易になる。さらに、カレントミラーMOSトランジスタM2のゲートとゲート入力端子Gとの間にゲート抵抗R1を介装したので、カレントミラーMOSトランジスタM2のゲート入力信号が逡巡してメインMOSトランジスタM1よりも先にターンオンすることがなく、メインMOSトランジスタM1を確実にターンオンできる。

30

さらにまた、電流検出抵抗を省略できるので回路構成が簡単になり、回路をより小さくできると共に、より小面積、高集積化が可能になる。また、電流検出抵抗を用いた場合には常時電流が流れることになるが、本実施例のような構成にすることにより、電流 $i$ は、ベース・エミッタ電圧 $V_{be}$ が閾値電圧 $V_{be,th}$ より大きくなった時以外は流れないので、電力の消費を少なくできる。

40

実施例II

第6図は、本発明による過電流保護機能付きパワーMOSFET101の第2の実施例を示す回路図であり、第1図と同一の部分には同一符号を付してその説明を省略し、第1図と異なる部分を重点に述べる。

この第6図と実施例において、第1図と異なる部分は、バイポーラトランジスタT1のベースをベース抵抗 $R_b$ を介してカレントミラーMOSトランジスタM2のソースに接続したものである。

50

この実施例においてはベース抵抗 $R_b$ を設けることによ

(5)

特公平7-120221

**11**

り、バイポーラ・トランジスタの動作点の設定及び動作の安定化が可能になるほか、上記第1の実施例と同様な作用効果が得られる。

なお、以上ではNチャネルローサイドスイッチについて説明したが、Nチャネルハイサイドスイッチにも同様に本発明を適用できる。さらには、全ての極性と電極を反転すればPチャネルローサイド、ハイサイドスイッチにも同様に本発明を適用できる。

### 6. 器明の効果

以上説明したように本発明によれば、カレントミラーND 19  
SFETを通して流れる電流を直接ゲート電圧制限用スイッ  
チング手段の制御端子に流し、その電流によりそのゲート  
電圧制御用スイッチング手段を制御してメインMOSFET  
のゲート電圧を制御するように構成したので、外気温度  
の変化に左右されることなくパワーMOSFETを過電流から  
確実に保護することができると共に、電流検出抵抗が不  
要になることによって、回路設定が容易となり、その設  
計の自由度も大きくなるほか、低消費電力化できるとい  
う効果がある。また、ゲート抵抗を設けたので、カレン  
トミラーMOSトランジスタが先にターンオンせず、メイ \*20

12

\* NKTトランジスタを暗黒にターンオンできる。

【図面の簡単な説明】

第1図は本発明による過電流保護機能付きパワー-MOSFETの第1の実施例を示す回路図、第2図は第1図におけるパワー-MOSFETのデバイス構造の一部を示す構成図、第3図は第1図に相当するパワー-MOSFETのデバイスの一例を示す平面図、第4図は第3図に示すパワー-MOSFETに用いられるバイポーラ・トランジスタの放大型平面図、第5図は第4図のV-V線断面図、第6図は本発明による過電流保護機能付きパワー-MOSFETの第2の実施例を示す回路図、第7図は従来の過電流保護機能付きパワー-MOSFETの回路図、第8図はポリシリコン抵抗の温度特性図、第9図は放熱抵抗の温度特性図である。

101:過電流保護機能付きパワーMOSFET

611:メイン MOSFET

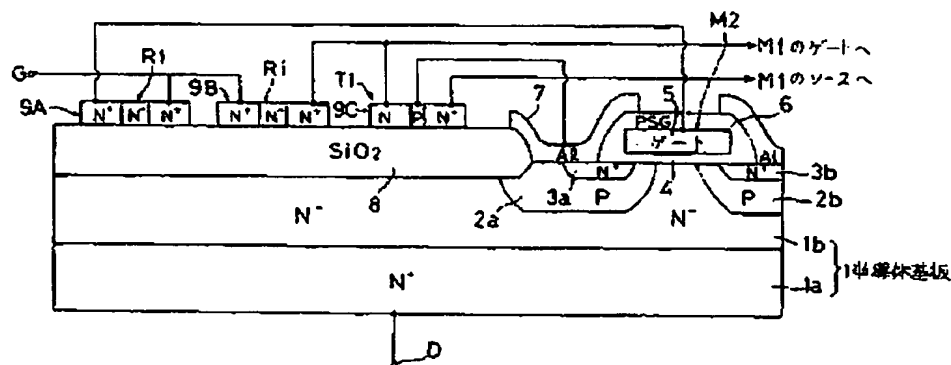
BE:カレントミラーMOSFET

T1:バイポーラ・トランジスタ

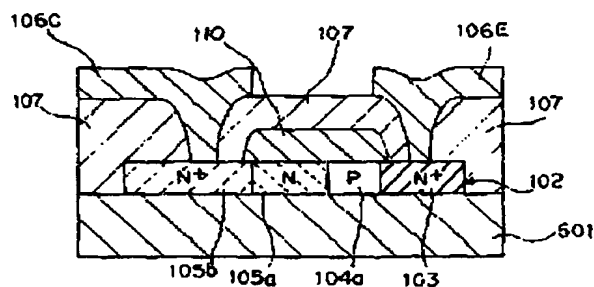
$R_1$ : 入力抵抗,  $R_1$ : ゲート抵抗

$R_b$  : ベース抵抗、 $R_L$  : 負荷

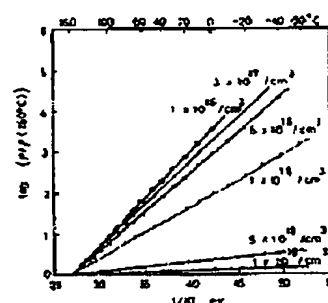
【第2圖】



【第5図】



【第8図】

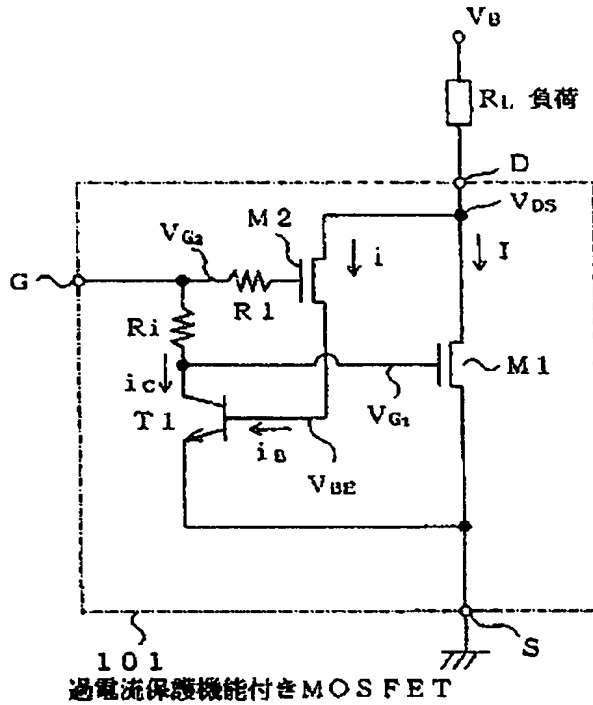




(7)

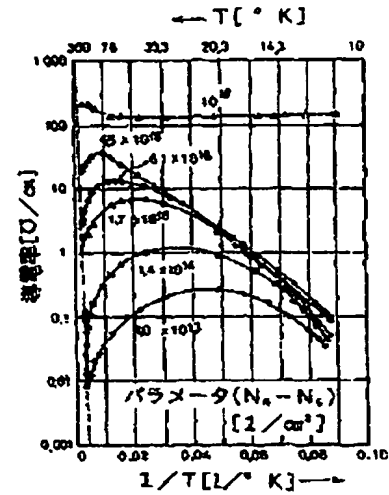
特公平7-120221

【第1図】



M1: メインMOSFET  
M2: カレントミラーMOSFET  
T1: バイポーラトランジスタ  
R1: ゲート抵抗  
Ri: 入力抵抗  
 $V_{G1}$ : M1のゲート電圧

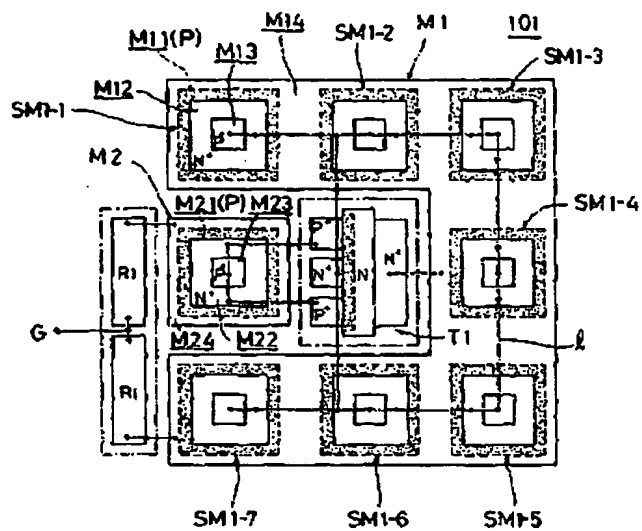
【第9図】



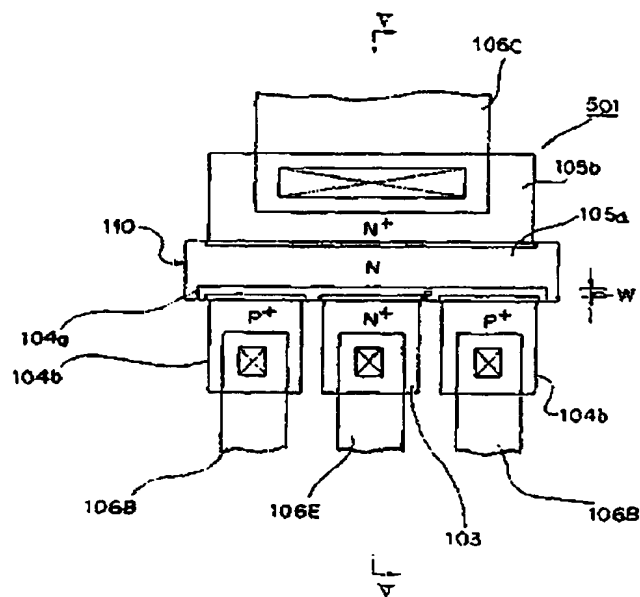
(९)

特公平7-120221

【第3図】



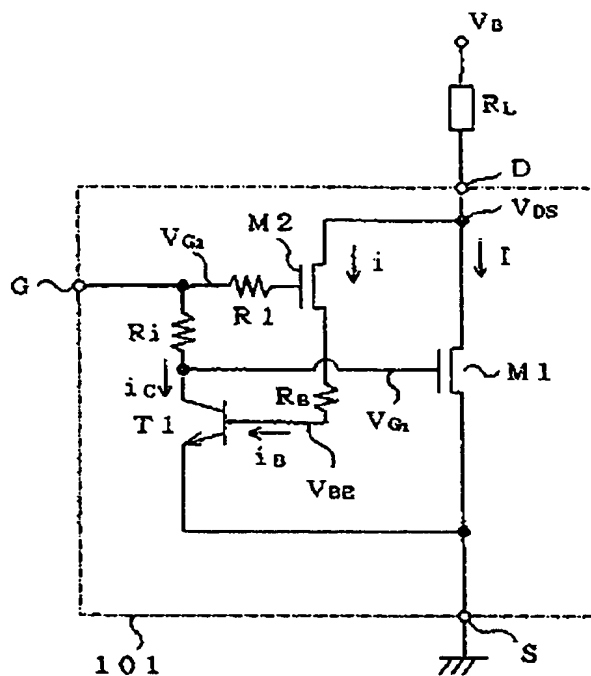
【第4図】



(9)

特公平 7-120221

【第6図】



$R_B$  : ベース抵抗

(10)

特公平7-120221

【第7図】

